

elektronika u riječi i slici

Uređuje: Mirko Klaić, dipl. ing.

MIKROELEKTRONIKA

Uvod

Specifičnost mikroelektroničke industrije u odnosu na ostale industrijske grane je brz i konstantan napredak mikroelektroničkih sklopova kao proizvoda te industrije. U ovom tekstu prikazana su neka svojstva i ograničenja CMOS (*complementary metal-oxide-semiconductor*) sklopova koji čine više od 90 % ukupne proizvodnje mikroelektroničkih sklopova.

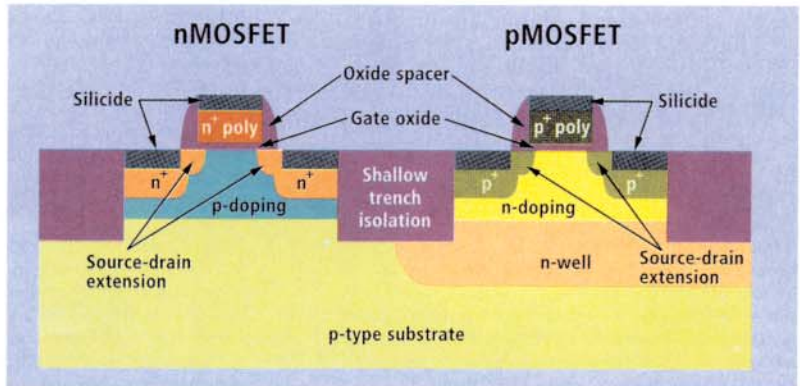
Izazovi mikroelektronike u budućim generacijama CMOS sklopova

Poboljšanje svojstava integriranih CMOS sklopova najviše je rezultat skaliranja MOS tranzistora. Skaliranjem nazivamo smanjivanje dimenzija tranzistora omogućeno napretkom tehnologije koje rezultira manjom površinom, tj. većom gustoćom pakiranja komponenata po mikroelektroničkom sklopu (čipu), većom brzinom rada i manjom disipacijom snage po tranzistoru. No, do kada će se skaliranje, koje imamo priliku pratiti posjednja dva desetljeća, nastaviti? Očito taj trend ne može ići u beskonačnost, jer uvijek moramo doći do dimenzija usporedivim s dimenzijama kristalne rešetke materijala u kojem je tranzistor realiziran, te do kvantnih i statističkih efekata koji utječu na fiziku rada tranzistora i njegovu upotrebljivost kao elektroničke sklopke. Promotrit ćemo ograničenja do kojih će se najprije doći u sljedećih nekoliko generacija CMOS sklopova, a koja su mogla biti zanemarena u prethodnim generacijama. Današnja tehnologija kreće se prema mogućnosti realizacije dimenzija od 100 nanometara, što omogućuje procesiranje integriranih sklopova s više stotina milijuna tranzistora.

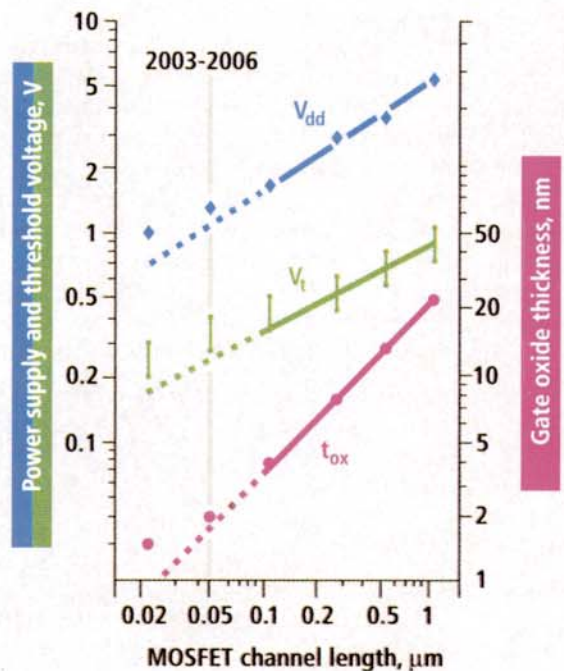
Naponi, snaga i kašnjenje

Tempo skaliranja MOS tranzistora diktiran je procesom litografije koji određuje najmanju dimenziju koja se može tehnološki realizirati, a koja je kod MOS tranzistora dužina upravljačke elektrode (*gate*). Dužina upravljačke elektrode određuje dužinu kanala tranzistora koja se definira kao razmak područja između uvoda (*source*) i odvoda (*drain*) tranzistora koja je kontrolirana upravljačkom elektrodom, kao što se može vidjeti na slici 1. Dužina kanala je najznačajniji parametar tranzistora i tipično je za faktor od 1,5-2 puta manja od minimalne dimenzije litografije. Iz navedenog slijedi da će CMOS generacija procesirana u 100 nm rezoluciji litografije imati efektivnu dužinu kanala oko 50 nm što će rezultirati frekvencijom jediničnog strujnog pojačanja (*cut-off frequency*) neopterećenog tranzistora iznad 100 GHz i vremenima kašnjenja neopterećenih digitalnih sklopova oko 10 ps.

S obzirom da se u tranzistoru moraju sačuvati jednaki relativni odnosi geometrijskih dimenzija kako bi se sačuvao jednak odnos električnog polja u lateralnom i vertikalnom smjeru, skaliranje dužine kanala povlači i skaliranje tankog oksida (*gate oxide*) te širina osiromašenih područja između uvoda i



Sl. 1. CMOS element u 100 nm generaciji litografije koji će se sastojati od: plitke žlijebne izolacije; 1,5-2 nm tankog oksida, n⁺ i p⁺ dopirane polisilicijske upravljačke elektrode, 30-50 nm dubokih područja produljenih uvoda i odvoda i silicidnih kontakata



Sl. 2. Skaliranje napona napajanja i napona praga MOS tranzistora sa smanjivanjem širine kanala. Kod uskih kanala naponi ne slijede linearni zakon skaliranja predviđen teorijom

podloge te odvoda i podloge. Ako bi naponi na kojima tranzistor radi ostali nepromijenjeni, električno polje u tankom oksidu i u osiromašenim područjima bi se povećavalo što bi dovelo ili do tuneliranja nosilaca kroz ta područja ili do proboja. Također, disipacija snage tranzistora bi se povećavala ukoliko bi naponi ostajali isti zbog veće brzine rada pojedinog tranzistora i većeg broja tranzistora u čipu. Stoga, zbog posljedica smanjivanja dimenzija tranzistora potrebno je smanjivati i napone. Slika 2 prikazuje trend skaliranja napona sa smanjivanjem dužine kanala.

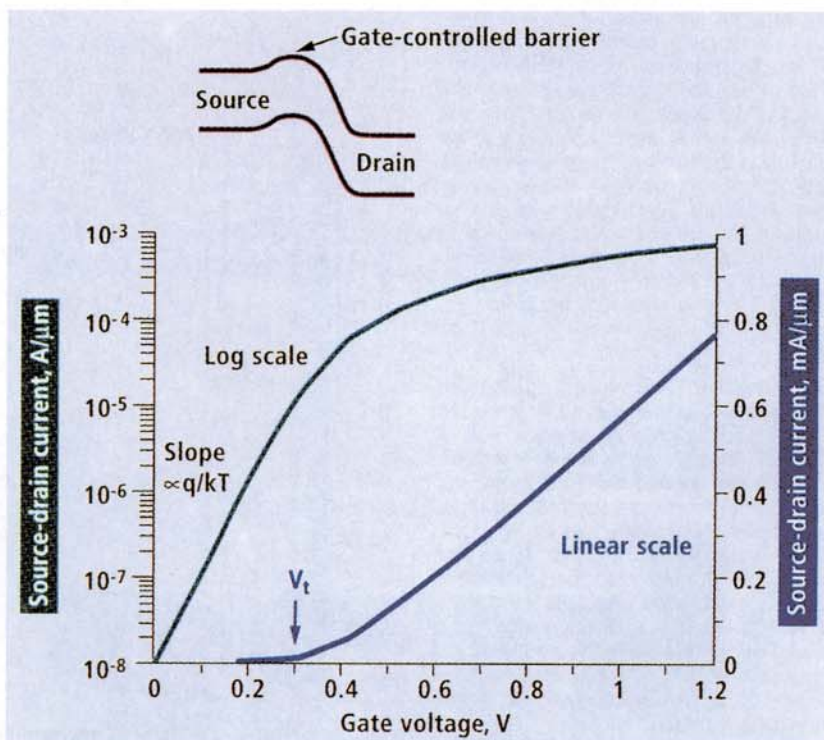
Napon praga (*threshold voltage*) MOS strukture definiran je kao napon koji treba dovesti na upravljačku elektrodu da bi tranzistor mogao propustiti znatniju struju između uvoda i odvoda. U idealnom tranzistoru struja odvoda bila bi velika, tj. u zasićenju ako je napon upravljačke elektrode veći od napona praga, a jednaka nuli ako je napon upravljačke elektrode manji od napona praga. Na prijenosnoj karakteristici MOS tranzistora u linearnom mjerilu, vidi se da je struja vrlo mala pri naponima upravljačke elektrode manjima od napona praga (slika 3), no na logaritamskom mjerilu vidi se da ta struja pada s *konačnim* nagibom koji je proporcionalan termičkoj energiji nosilaca u kanalu tranzistora. Što je energetska barijera koju vide nosioci u kanalu niža, to će veći broj termički raspodijeljenih nosilaca u uvodu imati dovoljnu energiju da prijeđu barijeru i dođu do odvoda. Ovo svojstvo nosilaca struje slijedi iz termodinamičke raspodjele i ne mijenja se sa skaliranjem tranzistora, a posljedica je da struja odvoda teče čak i kada je napon upravljačke elektrode jednak nuli i uzrokuje disipaciju snage. Ako se disipacija snage u mirovanju ograniči na 100 mW po čipu to znači da struja gubitaka pojedinog tranzistora smije doseći nekoliko desetaka nanoampera, što ograničava minimalni iznos napona praga na 0,2 V na radnoj temperaturi sklopa, koja može dostići i 100 °C.

S druge strane, kašnjenje CMOS sklopa obrnuto je proporcionalno omjeru napona napajanja i napona praga, jer veći napon napajanja u odnosu na napon praga rezultira većom strujom kojom se nabijaju i izbijaju kapaciteti. Zato je u interesu imati što manji napon praga i što veći napon napajanja. Rezultat ovakvih svojstava MOS tranzistora rezultira zasićenjem skaliranja oba napona na slici 2.

Egzaktne vrijednosti oba napona ovise o primjeni tranzistora. Ako se žele realizirati ultrabrzzi sklopovi (npr. mikroprocesori), zadržat će se viši napon napajanja (1,2 V za efektivnu dužinu kanala 50 nm) i niži napon praga (oko 0,3 V), što će imati posljedice veće disipacije snage i u mirovanju i pri radu CMOS sklopa. U slučaju sklopova niske potrošnje (npr. bežični mobilni uređaji), koristit će se manji napon napajanja i veći napon praga. Neke naprednije varijante uključuju realizaciju tranzistora s različitim naponima praga na istom čipu, pri čemu bi tranzistori s nižim naponom praga bili korišteni za brzinski kritične logičke sklopove, a tranzistori s višim naponom praga za ostali dio čipa, npr. memorijski, za manju potrošnju u stanju mirovanja. Uporabom CMOS sklopova na niskim temperaturama postiže se strmiji nagib prijenosne karakteristike ispod napona praga zbog manje termičke energije nosilaca u kanalu i poboljšanje pokretljivosti elektrona i šupljina te manji specifični otpor vodova na čipu. Naravno, sva navedena poboljšanja podrazumijevaju kompliciraniju i skuplju tehnologiju za realizaciju sklopova.

Tanki oksid i kvantni efekti u kanalu

Debljina tankog oksida je najmanja geometrijska dimenzija MOS strukture, kao što se može primijetiti na slici 1 pa treba očekivati da će se kvantni efekti najprije pojaviti u tankom oksidu. Zašto tanki oksid uopće mora biti tanak, kad bi



Sl. 3. Struja odvoda u ovisnosti o naponu upravljačke elektrode – prijenosna karakteristika MOS tranzistora u linearnom (desna ordinata) i logaritamskom (lijeva ordinata) mjerilu. Presjek prijenosne karakteristike s ordinatom određuje struju gubitaka kada je napon upravljačke elektrode jednak nuli

tranzistor ispravno radio i za veće debljine oksida? Zato jer se na taj način postiže bolja kontrola pokretnih nosilaca u kanalu. Naime, na naboj u kanalu, uz napon upravljačke elektrode, utječu i potencijali odvoda i podloge. Tranzistor će raditi s konstantnim i tehnološki ostvarivim parametrima ako su minimizirani svi utjecaji na naboj u kanalu osim napona upravljačke elektrode. Na primjer, napon odvoda uzrokuje osiromašenje područja kanala u blizini odvoda, što znači da naponu upravljačke elektrode preostaje manji volumen kanala koji treba osiromašiti ili invertirati da bi se uspostavio vodljivi kanal. Ovaj efekt se zove *efekt kratkog kanala* (*short-channel effect*) i njegova posljedica je smanjenje napona praga tranzistora. Ova pojava sama po sebi nije kritična, jer se napon praga može podešavati pomoću drugih parametara, ali problem su tolerancije tehnoloških koraka koje rezultiraju u različitim dužinama kanala od čipa do ploče, od pločice (*wafer*) do pločice, ili od procesa do procesa, što onda uzrokuje različite napone praga i rasipanje električnih karakteristika tranzistora.

Da bi se efekt kratkog kanala držao pod kontrolom, potrebno je smanjivati debljinu tankog oksida proporcionalno dužini kanala, kao što je prikazano na slici 2. Po gruboj procjeni debljina oksida mora biti 1/50 do 1/25 dužine kanala da bi upravljačka elektroda zadovoljavajuće kontrolirala naboj u kanalu, što daje debljine oksida 1–2 nm za dužinu kanala 50 nm. Nanometar oksida sastoji se od samo nekoliko molekularnih slojeva. Prilično je fascinantno da je tanki oksid došao do navedenih debljina, a nije bio ograničen ekstrinzičnim faktorima kao što su koncentracija defekata, hrapavost podloge, ili kontrola njegove debljine i homogenosti na silicijским pločicama promjera i do 30 cm. No, kod nanometarskih debljina dolazi do kvantno-mehaničkog tuneliranja nosilaca kroz oksid, što uzrokuje struju gubitaka i povećanje disipacije snage u mirovanju. Ako pretpostavimo ukupnu površinu upravljačkih elektroda tranzistora 0,1 cm², maksimalna dopuštena gustoća struje tuneliranja je oko 1–10 A/cm², što povlači minimalnu debljinu tankog oksida 1,5–2 nm. Upravo to je razlog zašto se danas mnogo ulaže u istraživanja u druge materijale za dielektrik upravljačke elektrode koji imaju veću dielektričnu konstantu (*high-k materials*). Veća dielektrična konstanta znači da uz zadržavanje istog polja možemo povećati fizičku debljinu dielektrika i na taj način smanjiti struju tuneliranja, npr. kao kod DRAM-ova koji zahtijevaju manju struju gubitaka odnosno veće debljine tankog oksida.

Zbog vrlo visokih polja uzrokovanih malim geometrijskim dimenzijama, pokretni nosioci u kanalu osjećaju se kao u potencijalnoj jami što dovodi do kvantnog efekta cijepanja energetskih stanja koja ti nosioci mogu zauzimati. Posljedica je kompliciranija raspodjela nosilaca i veći problemi pri mode-

liranju tranzistora. Također, kanali su toliko mali da se broj primjesa u njima više ne može smatrati statistički ravnomjerno raspodijeljenim što dodatno komplicira modeliranje i dovodi do rasipanja karakteristika tranzistora. Iz navedenih efekata slijedi da posebnu pažnju treba usmjeriti projektiranju profila primjesa u kanalu. Budući će MOS tranzistori imati malu koncentraciju primjesa u kanalu ispod tankog oksida kako bi se postigao manji napon praga, a veću koncentraciju u područjima kanala blizu uvoda i odvoda kako bi se smanjio efekt kratkog kanala. Takva, nehomogena raspodjela primjesa se zove *halo* profil, koji također minimizira utjecaj efekta statističke raspodjele primjesa.

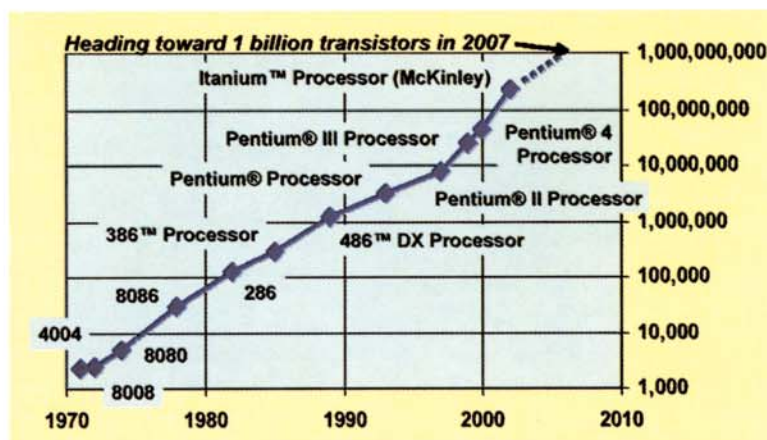
Projektiranje mikroelektroničkih sklopova

Mikroelektronički sklopovi danas su glavne sastavne komponente elektroničkih uređaja. Razlikuju se po elektroničkim funkcijama, složenosti i po drugim kriterijima. Po načinu projektiranja mogu se podijeliti u dvije grupe: na standardne ili potpuno *projektirane* (*custom* ili *fullcustom*) i *projektirane po narudžbi* (*semicustom*).

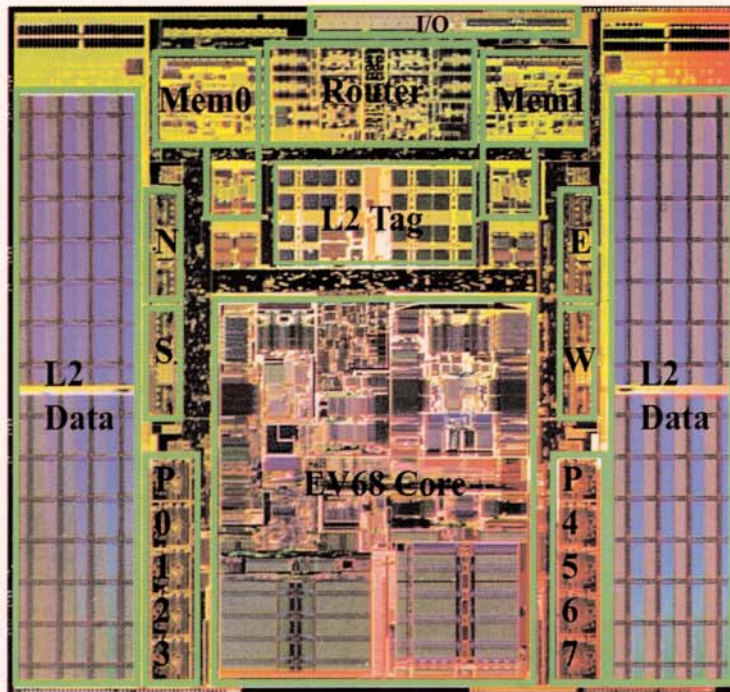
Standardni mikroelektronički sklopovi

Metoda potpunog projektiranja je klasična metoda koja se koristi od početka razvoja mikroelektroničkih sklopova. Pojedina sklopovska svojstva optimiraju se podešavanjem dimenzija praktički svih komponenata. Pristup je vrlo zahtjevan i provode ga poluvodičke tvrtke za mikroelektroničke sklopove koji su dovoljno univerzalni da se mogu koristiti u velikom broju primjena, te imaju osiguran veliki volumen prodaje. Osim analognih i digitalnih sklopova nižih stupnjeva integracije (pajačala, komparatori, stabilizatori, logički sklopovi) na ovaj se način projektiraju sklopovi najvišeg stupnja integracije poput mikroprocesora i poluvodičkih memorija. Sklopovi se nazivaju standardnima, proizvode se pod određenim imenom, a na tržištu se prodaju neimenovano kupcu.

Intenzivan razvoj poluvodičke tehnologije omogućuje udvostručenje broja tranzistora po čipu svake 1,5 do 2 godine. S tako velikim brojem tranzistora u čip su se s vremenom integrirali i najsloženiji elektronički sustavi. Najbolje su tehnološke mogućnosti iskoristili projektanti mikroprocesora. Od svih mikroelektroničkih sklopova najbrže su se razvijali upravo mikroprocesori (slika 4). U prosjeku svake dvije godine pojavljuje se nova generacija i udvostručuje frekvencija rada. Uz smanjenje dimenzija pojedinih tranzistora na povećanje složenosti mikroprocesora utječe i porast veličine čipa prosječno 7 % godišnje.



Sl. 4. Moorov zakon rasta složenosti mikroprocesora kao najnaprednijih mikroelektroničkih sklopova



Sl. 5. Modularna struktura današnjeg mikroprocesora. Uz jezgru s upravljačkim i aritmetičkim jedinicama, ulazno/izlaznim sklopovima, veći dio površine čipa zauzimaju velike priručne (cache) memorije

Najnoviji mikroprocesori izvode se u 0,13 μm -skoj tehnologiji s minimalnom dužinom kanala od 60 nm i sadrže više stotina milijuna tranzistora na površini čipa 300–400 mm². Rade s naponom napajanja od 1,3 V na frekvenciji višoj od GHz i disipiraju preko 100 W. Projektiranje tako složenog digitalnog sustava nužno se obavlja hijerarhijski pri čemu na različitim razinama hijerarhije sudjeluju timovi računalnih arhitekata, mikro-arhitekata, logičkih, sklopovskih i topoloških projektanata. Hijerarhijski pristup bitno pojednostavljuje projektiranje na svakoj razini i osigurava preglednost složenog projekta. U svim razinama sustav sadrži mnogo ponovljivih struktura koje se projektiraju jednom, a koriste višestruko. U projektiranju i verifikaciji projekta intenzivno se koriste programski alati. Hijerarhijski pristup projektiranja vidljiv je u modularnoj strukturi mikroprocesora na slici 5.

U pojedinim razinama projektiranje se provodi postupkom sinteze. Na najvišoj razini provodi se sinteza arhitekture, koja se razlaže na potrebne module (aritmetički, upravljački, memorijski). Već se na ovoj razini vodi računa o veličini i brzini odabranog rješenja. Npr. primjena protočne arhitekture (*pipelining*) puta podataka znatno ubrzava rad konačnog sklopa. Na nižoj razini provodi se logička sinteza koja funkcije pojedinih modula razlaže u logičku shemu. U procesu sinteze provodi se niz optimirajućih koraka – logička minimizacija. Iako su komponente logičke sheme neovisne o konačnoj tehnološkoj izvedbi sklopa, primjena određene tehnologije utječe na odabir optimalnog logičkog rješenja. U sklopovskoj sintezi pojedine se logičke strukture implementiraju sklopovima odabrane tehnologije. Sklopovska sinteza provodi se u dvije faze. U prvoj se definira sklopovska shema koja realizira logičku funkciju, a u drugoj se podešavaju dimenzije tranzistora kojima se optimiraju sklopovska svojstva.

Pri projektiranju sklopova optimiraju se parametri poput brzine, snage, površine i sl. U CMOS tehnologiji zadane logičke funkcije mogu se realizirati različitim sklopovskim tehnikama. Najčešće korištene tehnike su statički komplementarni i dinamički sklopovi. U prvima se složene logičke funkcije realiziraju s istim brojem nMOS i pMOS tranzistora. Statički sklopovi su stabilni, jer je izlaz izravno vezan na napon napajanja (logička 1) ili na masu (logička 0), te ne troše snagu. Nedostatak im je sporiji rad zbog velikog broja pMOS tranzistora. U dinamičkim sklopovima logičku funkciju određuju samo nMOS tranzistori. Rad sklopa upravljaju impulsi ritma preko para pMOS i nMOS tranzistora. U određenim uvjetima izlazni čvor je u stanju visokog otpora i njegov visoki napon podržava isključivo naboj na parazitnom kapacitetu. Zbog toga su dinamički sklopovi osjetljivi na smetnje, ali su brži od statičkih zbog manjeg broja pMOS tranzistora.

U projektiranju dio se sklopova, kritičnijih za ukupan rad mikroprocesora, detaljno projektira, a u dijelu koji je manje kritičan koriste se gotova sklopovska rješenja u formi standardnih ćelija. Najveći dio vremena zahtijeva projektiranje slučajne logike (*random logic*), dok se projektiranje pravilnih struktura može automatizirati primjenom programskih alata.

Brzinu rada današnjih mikroprocesora bitno određuju prospojne linije. Lokalne linije povezuju susjedne sklopove, a globalne pojedine module. Skaliranjem lokalne se linije skraćuju, a globalne se u pravilu produžuju zbog povećanja dimenzije čipa. Kašnjenje signala po liniji raste s njezinom RC konstantom. Za smanjenje RC konstante lokalnih linija debljine linija skaliraju se sporije od njezinih širina. Problem RC konstanti globalnih linija rješava se izvedbom tih linija u višim razinama metalizacije. Današnji mikroprocesori koriste u pravilu 6 razina metalizacije.

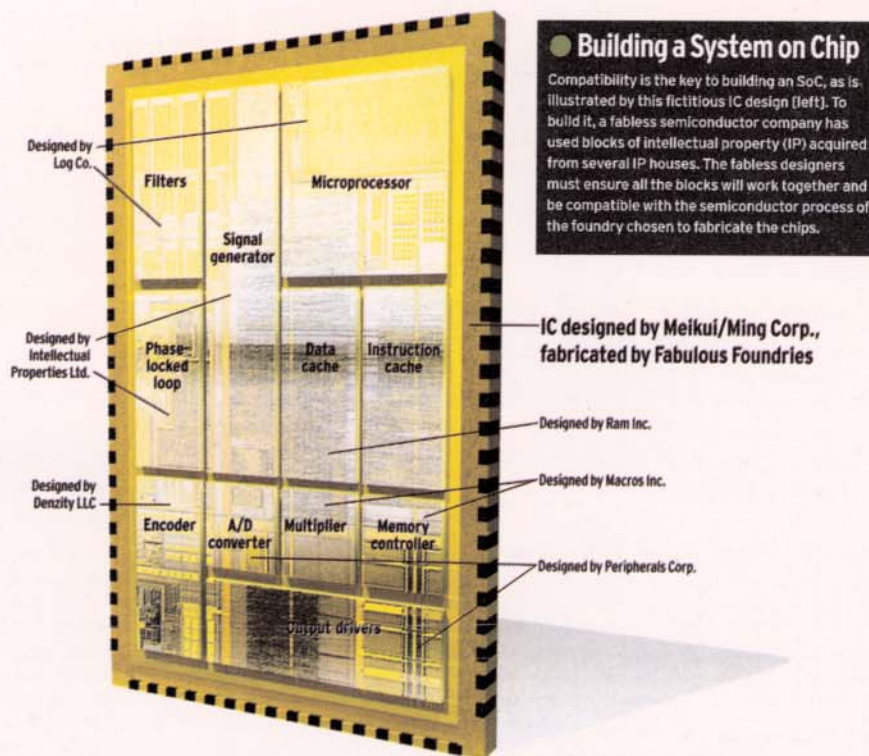
Tehnološki se RC konstante linija smanjuju primjenom vodljivijih materijala (bakar umjesto aluminijsa) i dielektrika male dielektričke konstante (*low-k materials*). Kašnjenje na linijama najkritičnije je u vođenju impulsa ritma. Zbog velikog broja sklopova na koji se razvode impulsi ritma, te su linije opterećene velikim parazitnim kapacitetima. Rezultat je fazni pomak impulsa ritma (*clock skew*) na različitim dijelovima sklopa koji može prouzročiti pogrešan rad. Zbog toga se u projektiranju topologije sklopa raspodjeli linija impulsa ritma posvećuje posebna pažnja.

Disipirana snaga mikroprocesorskog čipa procjenjuje se s $P = CU_{DD}^2 f$, gdje je C parazitni kapacitet, U_{DD} napon napajanja, a f radna frekvencija. S povećanjem radne frekvencije mikroprocesora raste i snaga. Održavanje disipirane snage u dopuštenim granicama postiže se smanjenjem napona napajanja. Odabir napona napajanja predstavlja kompromis, jer smanjenje napona napajanja negativno utječe na brzinu rada.

praktički su dosegli veličinu 1 GB. Uz RAM-ove rade se i ispisne memorije (*read-only memory* – ROM). Posebnu grupu čine programirajući ROM-ovi (EPROM, EEPROM, Flash).

Sklopovi po narudžbi

U 1980. godinama započelo je projektiranje mikroelektroničkih sklopova po narudžbi za točno određenu primjenu i za određenog korisnika (*application specific integrated circuit* – ASIC). U njihovom projektiranju koriste se jednostavnije automatizirane metode koje uz primjenu specifičnih programskih alata osiguravaju kraće trajanje projektiranja i nižu cijenu sklopa. Pristup je posebno pogodan za projektiranje digitalnih sklopova. Bolja svojstva ali i duže vrijeme projektiranja karakteristično je za sklopove sa *standardnim ćelijama* (*standard cell*), a jeftinija i električki lošija rješenja su sklopovi temeljeni na *logičkim poljima* (*gate array*). U ovu drugu grupu ubrajaju



Sl. 6. Modularna struktura sklopa projektiranog pristupom sustava na čipu

Korištenjem velikog broja tranzistora današnji mikroprocesori osim aritmetičko-logičkih, upravljačkih i ulazno-izlaznih jedinica sadrže sve veće priručne (*cache*) memorije, kojima se postiže veće brzine rada. Mikroprocesori koriste upisno-ispisne statičke memorije (*static random-access memory* – SRAM), u kojima su memorijske ćelije bistabili. Priručne memorije novih mikroprocesora veće su od MB.

Poluvodičke memorije izvode se i kao samostalni standardni mikroelektronički sklopovi. Uz statičke, rade se i dinamičke memorije (DRAM) u kojima se podatak ćelije pohranjuje u obliku naboja na kapacitetu. Tehnologija izrade SRAM-ova ista je kao i za mikroprocesore. U realizaciji DRAM-ova koriste se specijalni tehnološki postupci koji osiguravaju realizaciju velikog kapaciteta na maloj površini pločice. Memorijski čipovi

se programirajući integrirani sklopovi ili električki programirajiva logička polja (*field-programmable gate array* – FPGA).

Mikroelektronički sklopovi s više od 100 milijuna tranzistora po čipu preveliki su za klasične ASIC primjene. Za tako složene sklopove uveden je novi pristup projektiranja koji se naziva *sustav na čipu* (*system on chip* – SoC). Uz veliki broj tranzistora projektanti se suočavaju s dva problema: kako »zaposliti« sve tranzistore i kako projektirati složen sustav u relativno kratkom vremenu. Naime, jedan od glavnih kriterija pri projektiranju mikroelektroničkog sklopa je vrijeme njegove realizacije i pojava na tržištu (*time to market*).

U pristupu sustava na čipu složen sklop ne projektira više jedan projektantski tim već se projekti pojedinih modula kupu-

Table 1. Roadmap trends 2001-2016 for scaling, cost, power.

| Production year | 2001 | 2002 | 2003 | 2004 | 2005 | 2006 | 2007 | 2010 | 2013 | 2016 |
|--|-------|-------|-------|-------|-------|-------|-------|--------|--------|--------|
| Chip performance characteristics | | | | | | | | | | |
| DRAM half-pitch | 130 | 115 | 100 | 90 | 80 | 70 | 65 | 45 | 32 | 22 |
| MPU/ASIC half-pitch | 150 | 130 | 107 | 90 | 80 | 70 | 65 | 45 | 32 | 22 |
| MPU printed gate length | 90 | 75 | 65 | 53 | 45 | 40 | 35 | 25 | 18 | 13 |
| MPU physical gate length | 65 | 53 | 45 | 37 | 32 | 28 | 25 | 18 | 13 | 9 |
| On-chip local clock (MHz) | 1,684 | 2,317 | 3,088 | 3,990 | 5,173 | 5,631 | 6,739 | 11,511 | 19,348 | 28,751 |
| Maximum number wiring levels | 7 | 8 | 8 | 8 | 9 | 9 | 9 | 10 | 10 | 10 |
| Cost per function (microcents) | | | | | | | | | | |
| DRAM (cost/bit) | 7.7 | 5.4 | 3.8 | 2.7 | 1.9 | 1.4 | 0.96 | 0.34 | 0.12 | 0.042 |
| CP-MPU (cost/transistor) | 107 | 75 | 53 | 38 | 27 | 19 | 13.3 | 4.71 | 1.66 | 0.590 |
| HP-MPU (cost/transistor) | 97 | 69 | 49 | 34 | 24 | 17 | 12 | 4.31 | 1.52 | 0.540 |
| Test cost (\$K/pin) | | | | | | | | | | |
| Volume tester cost per high-frequency signal pin (HP-ASIC)—maximum | 4.0 | 3.0 | 3.0 | 3.0 | 3.0 | 3.0 | 3.0 | 4.0 | 4.0 | 4.0 |
| Volume tester cost per high-frequency signal pin (HP-ASIC)—minimum | 1.0 | 1.0 | 1.0 | 1.0 | 1.0 | 1.0 | 1.0 | 2.0 | 3.0 | 4.0 |
| Volume tester cost/pin (CP-MPU) | 7.0 | 6.5 | 6.0 | 5.5 | 5.0 | 4.5 | 4.0 | 4.0 | 2.0 | 1.5 |
| Power supply voltage (V) | | | | | | | | | | |
| Vdd (high performance) | 1.1 | 1.0 | 1.0 | 1.0 | 0.9 | 0.9 | 0.7 | 0.6 | 0.5 | 0.4 |
| Vdd (low operating power, high Vdd transistors) | 1.2 | 1.2 | 1.1 | 1.1 | 1.0 | 1.0 | 0.9 | 0.8 | 0.7 | 0.6 |
| Vdd (low standby power, high Vdd transistors) | 1.2 | 1.2 | 1.2 | 1.2 | 1.2 | 1.2 | 1.1 | 1.1 | 1.1 | 1.1 |
| Allowable maximum power | | | | | | | | | | |
| High-performance with heatsink (W) | 130 | 140 | 150 | 160 | 170 | 180 | 190 | 218 | 251 | 288 |
| Cost-performance (W) | 61 | 75 | 81 | 85 | 92 | 98 | 104 | 120 | 138 | 158 |
| Battery (W)—(handheld) | 2.4 | 2.6 | 2.8 | 3.2 | 3.2 | 3.5 | 3.5 | 3.0 | 3.0 | 3.0 |

Sl. 7. Predvidivi razvoj mikroelektroničkih sklopova. MPU je oznaka mikroprocesora koji su podijeljeni na jeftinije (cost performance – CP) predviđene za osobna računala i učinkovitije (high performance) predviđene za servere

ju od različitih izvora u ugrađuju u sustav. Ovaj pristup inicirao je pojavu velikog broja malih projektantskih tvrtki koje su se specijalizirale za razvoj modula predviđenih za ugradnju u mikroelektroničke sustave tipa sustav na čipu. Budući da moduli razvijeni u nekoj tvrtki predstavljaju njihovo intelektualno vlasništvo (*intellectual property* – IP), ta se kratica pojavljuje u nazivima modula – IP moduli.

Pristupom sustava na čipu realiziraju se mikroelektronički sklopovi složenih sustava u pojedinim elektroničkim primjenama poput telekomunikacija, obrade signala i sl. Prema primjeru na slici 6, sustavi na čipu sadrže vrlo različite dijelove: od digitalnih modula poput procesorskih jezgri i ugrađenih memorija, analognih modula poput RF sklopova, do modula s miješanim analognim i digitalnim funkcijama (*mixed signal*). Pojava sklopova tipa sustava na čipu potiče sve više razvoj metodologije projektiranja analognih sklopova.

Predvidivi razvoj mikroelektroničkih sklopova

CMOS sklopovi približavaju se svojim fizičkim ograničenjima, no zalihosti u današnjim tranzistorima dovoljne su da produlje napredak ovih elemenata još sigurno nekoliko generacija. Želi li se izvući maksimum performanci iz standardne CMOS tehnologije bit će potrebno koristiti nove složene sheme kao što su: korištenje više različitih napona praga na istom čipu, optimiranje nehomogenog profila primjesa u kanalu, kontrola debljine i homogenosti tankog oksida do razine atoma, kontrola raspodjele primjesa u uvodu i odvodu.

Neka ograničenja standardne CMOS tehnologije moguće će biti zaobići i nekim od novih, naprednih MOS koncepata. Korištenjem silicija na izolatoru (*silicon on insulator* – SOI) mogu se smanjiti parazitski kapaciteti tranzistora što povlači manju disipaciju snage i veću brzinu rada uz istu rezoluciju litografije. Korištenjem silicij-germanijskih (*silicon-germanium* – SiGe) slojeva može se postići povećanje pokretljivosti elektrona i šupljina i time veće brzine rada uz tehnologiju koja je kompatibilna silicijskoj tehnologiji. MOS strukture s dvostrukom upravljačkom elektrodom (*double gate MOS*) mogu potpuno eliminirati efekt kratkog kanala jer se upravljačka elektroda nalazi s obje strane kanala i sprječava djelovanje odvoda na uvod. MOS s dvostrukom upravljačkom elektrodom tehnološki se može realizirati kao vertikalna MOS struktura.

Predvidivi razvoj mikroelektroničkih sklopova prikazuje slika 7. Uz tehnološka postignuća, razvoju mikroelektroničkih sklopova pridonose poboljšana rješenja u projektiranju sustava na razini arhitekture, te nova sklopovska rješenja koja omogućuju realizaciju logičkih funkcija s manjim brojem komponenata. Nužan je i razvoj programskih alata koji omogućuju sve veću automatizaciju u sintezi, analizi i testiranju sklopova. Budući da se s razvojem sustava na čipu očekuju sve veći zahtjevi na projektiranje analognih funkcija, nužan je razvoj programskih alata za automatizirani pristup projektiranju tih sklopova.

Prof. dr. sc. Željko BUTKOVIĆ
Dr. sc. Tomislav SULIGOJ